

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-16242

(P2002-16242A)

(43)公開日 平成14年1月18日(2002.1.18)

(51)IntCl.<sup>7</sup>

H 0 1 L 27/146  
31/10

識別記号

F I

H 0 1 L 27/14  
31/10

テーマコード(参考)

A 4M118  
A 5F049

審査請求 未請求 請求項の数21 O L (全 14 頁)

(21)出願番号 特願2000-195175(P2000-195175)

(22)出願日 平成12年6月28日(2000.6.28)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 石渡 宏明

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝マイクロエレクトロニクスセン  
ター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム(参考) 4M118 AA10 AB01 BA14 CA04 EA07

EA14 FA06 FA26 FA28 FA33

5F049 MA02 MA15 NA17 NB05 QA15

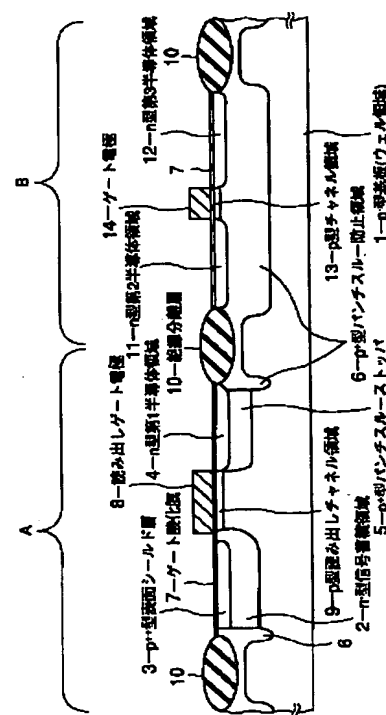
UA11 UA20

(54)【発明の名称】 MOS型固体撮像装置及びその製造方法

(57)【要約】

【課題】 MOS型固体撮像装置に関し、MOS素子が微細化されても、電荷転送能力向上とパンチスルー防止を同時に実現する。

【解決手段】  $p^+$ 型パンチスルー防止領域6は、フォトダイオードの $n^-$ 型信号蓄積領域2直下には形成されていない。 $n^-$ 型信号蓄積領域2は、 $p$ 型半導体基板1内に形成される。 $p^+$ 型パンチスルー防止領域6は、フォトダイオード及び読み出しゲートが形成される素子領域A以外の素子領域Bには、その素子領域Bの全体に形成される。また、 $p^+$ 型パンチスルー防止領域6は、素子間のパンチスルー防止のため、絶縁分離層10の直下にも形成される。 $n$ 型第1半導体領域4直下には、 $p^+$ 型パンチスルーストップ5を形成してもよい。



(2)

1

## 【特許請求の範囲】

【請求項1】 第1導電型の半導体基板内に形成される光電変換素子と、前記半導体基板の第1素子領域内に形成され、前記光電変換素子により生成される電荷を読み出すための第2導電型の第1MOSトランジスタと、前記半導体基板の第2素子領域内に形成される第2導電型の第2MOSトランジスタとを具備し、前記第2素子領域の全体にパンチスルーを防止するための第1導電型のパンチスルー防止領域が設けられていることを特徴とするMOS型固体撮像装置。

【請求項2】 前記第1及び第2素子領域を取り囲む絶縁分離層を具備し、前記パンチスルー防止領域は、前記絶縁分離層の直下にも設けられていることを特徴とする請求項1記載のMOS型固体撮像装置。

【請求項3】 前記パンチスルー防止領域は、前記第1素子領域の周辺部に前記絶縁分離層に沿って設けられていることを特徴とする請求項2記載のMOS型固体撮像装置。

【請求項4】 前記絶縁分離層から前記第1素子領域内の前記パンチスルー防止領域の端までの幅は、前記パンチスルー防止領域を形成する際に使用するマスク材の合わせずれ以上に確保されていることを特徴とする請求項3記載のMOS型固体撮像装置。

【請求項5】 前記幅は、0.2  $\mu\text{m}$ 以上であることを特徴とする請求項4記載のMOS型固体撮像装置。

【請求項6】 前記第2素子領域における前記パンチスルー防止領域の位置は、前記絶縁分離層の直下における前記パンチスルー防止領域の位置よりも深いことを特徴とする請求項2記載のMOS型固体撮像装置。

【請求項7】 前記MOS型固体撮像装置は、複数の画素を有し、各画素は、前記光電変換素子、前記第1MOSトランジスタ及び前記第2MOSトランジスタを有していることを特徴とする請求項1記載のMOS型固体撮像装置。

【請求項8】 前記光電変換素子は、前記第1素子領域内に形成され、前記第1MOSトランジスタのソースが前記光電変換素子の第2導電型の信号蓄積領域となることを特徴とする請求項1記載のMOS型固体撮像装置。

【請求項9】 前記第1MOSトランジスタのドレインの直下に形成される第1導電型のパンチスルーストップを具備することを特徴とする請求項8記載のMOS型固体撮像装置。

【請求項10】 前記パンチスルー防止領域は、前記第1MOSトランジスタのドレインの直下に設けられていることを特徴とする請求項8記載のMOS型固体撮像装置。

【請求項11】 前記パンチスルー防止領域は、前記第1MOSトランジスタのドレイン及びチャネルの一部を覆っていることを特徴とする請求項8記載のMOS型固体撮像装置。

2

【請求項12】 前記光電変換素子は、前記半導体基板と前記信号蓄積領域から構成され、前記信号蓄積領域の直下には、前記パンチスルー防止領域が設けられていないことを特徴とする請求項8記載のMOS型固体撮像装置。

【請求項13】 前記パンチスルー防止領域は、前記信号蓄積領域に隣接していることを特徴とする請求項12記載のMOS型固体撮像装置。

【請求項14】 前記第2素子領域における前記パンチスルー防止領域の深さは、0.2  $\mu\text{m}$ 以上0.4  $\mu\text{m}$ 以下に設定されていることを特徴とする請求項1記載のMOS型固体撮像装置。

【請求項15】 前記第1及び第2MOSトランジスタのゲート長は、0.4  $\mu\text{m}$ 以下に設定され、ゲート酸化膜の厚さは、10 nm以下に設定されていることを特徴とする請求項1記載のMOS型固体撮像装置。

【請求項16】 第1導電型の半導体基板上に絶縁分離層を形成し、前記絶縁分離層に取り囲まれた第1及び第2素子領域を形成する工程と、イオン注入法により前記半導体基板内に第1導電型の不純物を注入し、少なくとも前記絶縁分離層の直下及び前記第2素子領域内の全体に、パンチスルーを防止するための第1導電型のパンチスルー防止領域を形成する工程と、前記第1素子領域内に、光電変換素子及び前記光電変換素子により生成された電荷を読み出すための第1MOSトランジスタを形成すると共に、前記第2素子領域内に、第2MOSトランジスタを形成する工程とを具備することを特徴とするMOS型固体撮像装置の製造方法。

【請求項17】 前記不純物は、前記絶縁分離層を突き抜けるような加速エネルギー及びドーズ量で、前記半導体基板内に注入されることを特徴とする請求項16記載のMOS型固体撮像装置の製造方法。

【請求項18】 前記不純物は、前記第2MOSトランジスタの閾値を決定するチャネルイオン注入時のマスクをそのまま使用して、前記半導体基板内に注入されることを特徴とする請求項16記載のMOS型固体撮像装置の製造方法。

【請求項19】 前記不純物は、前記第1素子領域上の一部を覆うレジスト層をマスクとして、前記半導体基板内に注入されることを特徴とする請求項16記載のMOS型固体撮像装置の製造方法。

【請求項20】 前記レジスト層は、少なくとも前記絶縁分離層から一定幅だけ前記第1素子領域に入り込んだ位置よりも内側の領域であって、前記光電変換素子の第2導電型の信号蓄積領域上に形成されることを特徴とする請求項19記載のMOS型固体撮像装置の製造方法。

【請求項21】 前記不純物は、前記第1素子領域内の一部にも注入されることを特徴とする請求項16記載のMOS型固体撮像装置の製造方法。

50 【発明の詳細な説明】

(3)

3

【0001】

【発明の属する技術分野】本発明は、MOS型固体撮像装置のデバイス構造に関し、特に、ゲート長（チャンネル長）が短く、ゲート酸化膜が薄いために、パンチスルーが問題となるようなMOSトランジスタを有するMOS型固体撮像装置に使用される。

【0002】

【従来の技術】図10は、MOS型固体撮像装置の1画素分の回路構成を示している。

【0003】画素は、光信号を電気信号（電荷）に変換するためのフォトダイオード21、フォトダイオード21の電荷を検出部（検出ノード）Dに転送するための読み出しゲート22、検出部Dの電荷（電位）をリセットするためのリセットゲート23、検出部Dの電位を増幅する増幅ゲート24及び選択された画素の電位を出力するための選択ゲート25から構成される。

【0004】そして、一定期間にフォトダイオード21において光電変換され、かつ、信号蓄積領域に蓄積された電荷は、読み出しゲート22を経由して検出部Dに転送される。フォトダイオード21から検出部Dに転送された電荷は、検出部Dの電位を変化させる。増幅ゲート24は、この検出部Dの電位変化を増幅するため、増幅された信号電位が画素から出力される。

【0005】ここで、MOS型固体撮像装置においては、フォトダイオード（光電変換部）21の信号蓄積領域に蓄積された電荷の全てを検出部Dに完全に転送すること、さらには、全画素内のフォトダイオード21の特性を安定させることなどを目的として、半導体基板（又はウェル領域）の不純物濃度は、できるだけ薄くすることが求められている。

【0006】しかし、半導体基板（又はウェル領域）の不純物濃度の値が低い場合において、画素容量の増大（画素の高密度化）のためにMOSトランジスタが微細化され、その結果、MOSトランジスタのゲート長（チャンネル長）が短くなり、かつ、そのゲート酸化膜が薄くなると、ゲート制御に関係なく、MOSトランジスタのソースからドレインに電荷が流れるというパンチスルーが発生する。

【0007】このパンチスルーが発生すると、不要な信号（電荷）がMOSトランジスタを流れることになり、固体撮像装置の正常動作を確保できなくなる。

【0008】そこで、パンチスルーを防止することが必要となる。従来、ロジック製品においては、このパンチスルーを防止するために、半導体基板の内部（表面から十分に深い位置）にパンチスルー防止領域が設けられている。

【0009】パンチスルー防止領域は、MOSトランジスタのソースとドレインの間のリークを防止するものであるため、通常、半導体基板がp型、MOSトランジスタのソース及びドレインがn型の場合には、パンチスルー

4

防止領域は、p型となる。そして、このようなパンチスルー防止領域は、ロジック製品に対しては、パンチスルーの防止に非常に有効な手段となっている。

【0010】しかし、MOS型固体撮像装置においては、半導体基板の内部（表面から十分に深い位置）に、フォトダイオードを形成する必要がある。フォトダイオードは、例えば、p型半導体基板とn型信号蓄積領域（不純物領域）から構成されるため、この信号蓄積領域を半導体基板の内部（表面から十分に深い位置）に形成しなければならない。

【0011】この場合、半導体基板内にパンチスルー防止領域を形成しようとする、フォトダイオードの信号蓄積領域を構成する不純物（例えば、リン）の導電型（例えば、n型）と、パンチスルー防止領域を構成する不純物（例えば、ホウ素）の導電型（例えば、p）は、互いに逆となる。しかも、上述のように、これら信号蓄積領域とパンチスルー防止領域は、半導体基板の内部のほぼ同じ位置（表面から十分に深い位置）に形成される。

【0012】従って、MOS型固体撮像装置にパンチスルー防止領域を適用しようとする、通常、パンチスルー防止領域を形成した後に、パンチスルー防止領域内に信号蓄積領域を形成することになるため、信号蓄積領域を形成する際には、パンチスルー防止領域の導電型（例えば、p型）を反転させるに十分な量の不純物（例えば、n型不純物）を注入しなければならない。

【0013】ところで、光電変換によりフォトダイオードの信号蓄積領域に蓄積された電荷の全てを完全に読み出すためには、フォトダイオードの空乏化電位をできるだけ小さくすることが重要となる。フォトダイオードの空乏化電位を小さくするためには、フォトダイオードの信号蓄積領域をできるだけ低い不純物濃度で安定的に形成することが有効となる。

【0014】しかし、上述のように、フォトダイオードの信号蓄積領域をパンチスルー防止領域内に形成する場合には、パンチスルー防止領域の導電型（例えば、p型）を反転させるに十分な量の不純物（例えば、n型不純物）を半導体基板内に導入しなければならない。単純に見積もっても、パンチスルー防止領域のp型不純物濃度よりも高い不純物濃度のn型不純物を半導体基板内に注入する必要がある。

【0015】この場合、p型不純物による影響とn型不純物による影響が互いに相殺される点を考慮すると、フォトダイオードの信号蓄積領域の不純物濃度は、概ね、イオン注入により半導体基板内に注入されるn型不純物量 $d_n$ からパンチスルー防止領域を構成するp型不純物の不純物濃度 $d_p$ を引いた値（ $d_n - d_p$ ）に等しくなる。

【0016】しかし、イオン注入により半導体基板内に注入されるn型不純物量 $d_n$ 及びパンチスルー防止領域

10

20

30

40

50

(4)

5

を構成するp型不純物の不純物濃度 $d_p$ は、共に、比較的大きな数値となる。つまり、大きな数値から大きな数値を引いて小さい数値を得ようとする場合には、大きな数値の小さな変動が小さな数値の大きな変動となるため、MOS型固体撮像装置にパンチスルー防止領域を適用した場合には、フォトダイオードの信号蓄積領域の不純物濃度を、薄くし、かつ、安定して得ることが非常に難しくなる。

【0017】結局、イオン注入により半導体基板内に注入するn型不純物の不純物濃度の小さな変動が、フォトダイオードの信号蓄積領域の不純物濃度の大きな変動となり、これに伴い、フォトダイオードの空乏化電位も大きく変動し、安定的に、信号蓄積領域の電荷を読み出すことができなくなる。

【0018】

【発明が解決しようとする課題】このように、MOS型固体撮像装置においては、画素容量の増大（画素の高密度化）に起因し、MOSトランジスタのゲート長が短く、ゲート酸化膜の厚さが薄くなって、パンチスルーが問題となってきている。一方、既に、ロジック製品などにおいて実用化されているパンチスルー防止領域を、単に、MOS型固体撮像装置に適用することは、フォトダイオードの信号蓄積領域の存在により非常に困難となっている。

【0019】なぜなら、電荷の転送を確実にを行うためには、フォトダイオードの信号蓄積領域の不純物濃度を、薄く、かつ、安定させ、フォトダイオードの空乏化電位を、低く、かつ、安定させることが好ましい。しかし、パンチスルー防止領域を設けると、このパンチスルー防止領域の導電型を反転させて信号蓄積領域を形成しなければならないため、信号蓄積領域を、低不純物濃度で、かつ、安定的に形成できなくなるからである。

【0020】即ち、従来のMOS型固体撮像装置においては、MOSトランジスタが微細化され、パンチスルーが問題となるような場合に、パンチスルー防止のためのパンチスルー防止領域を設けると、フォトダイオードの空乏化電位を低く、かつ、安定させることが困難で、均一な電荷転送能力を持つMOS型固体撮像装置を安定的に製造することができなかった。

【0021】本発明は、上記欠点を解決するためになされたもので、その目的は、フォトダイオードの信号蓄積領域を、低不純物濃度で、かつ、安定的に形成できると共に、MOSトランジスタが微細化されても、パンチスルーを防止することができるMOS型固体撮像装置及びその製造方法を提案することにある。

【0022】

【課題を解決するための手段】（1）本発明のMOS型固体撮像装置は、第1導電型の半導体基板内に形成される光電変換素子と、前記半導体基板の第1素子領域内に形成され、前記光電変換素子により生成される電荷を

6

読み出すための第2導電型の第1MOSトランジスタと、前記半導体基板の第2素子領域内に形成される第2導電型の第2MOSトランジスタとを備え、前記第2素子領域の全体にパンチスルーを防止するための第1導電型のパンチスルー防止領域が設けられている。

【0023】本発明のMOS型固体撮像装置は、さらに、前記第1及び第2素子領域を取り囲む絶縁分離層を備え、前記パンチスルー防止領域は、前記絶縁分離層の直下にも設けられている。

【0024】前記パンチスルー防止領域は、前記第1素子領域の周辺部に前記絶縁分離層に沿って設けられている。

【0025】前記絶縁分離層から前記第1素子領域内の前記パンチスルー防止領域の端までの幅は、前記パンチスルー防止領域を形成する際に使用するマスク材の合わせずれ以上に確保されている。前記幅は、例えば、 $0.2\mu\text{m}$ 以上に設定される。

【0026】前記第2素子領域における前記パンチスルー防止領域の位置は、前記絶縁分離層の直下における前記パンチスルー防止領域の位置よりも深い。

【0027】本発明のMOS型固体撮像装置は、複数の画素を有し、各画素は、前記光電変換素子、前記第1MOSトランジスタ及び前記第2MOSトランジスタを有している。

【0028】前記光電変換素子は、前記第1素子領域内に形成され、前記第1MOSトランジスタのソースが前記光電変換素子の第2導電型の信号蓄積領域となる。

【0029】本発明のMOS型固体撮像装置は、さらに、前記第1MOSトランジスタのドレインの直下に形成される第1導電型のパンチスルーストップを備える。

【0030】前記パンチスルー防止領域は、前記第1MOSトランジスタのドレインの直下に設けられている。また、前記パンチスルー防止領域は、前記第1MOSトランジスタのドレイン及びチャネルの一部を覆っている。

【0031】前記光電変換素子は、前記半導体基板と前記信号蓄積領域から構成され、前記信号蓄積領域の直下には、前記パンチスルー防止領域が設けられていない。

【0032】前記パンチスルー防止領域は、前記信号蓄積領域に隣接している。

【0033】前記第2素子領域における前記パンチスルー防止領域の深さは、例えば、 $0.2\mu\text{m}$ 以上 $0.4\mu\text{m}$ 以下に設定される。

【0034】前記第1及び第2MOSトランジスタのゲート長は、例えば、 $0.4\mu\text{m}$ 以下に設定され、ゲート酸化膜の厚さは、例えば、 $10\text{nm}$ 以下に設定される。

【0035】（2）本発明のMOS型固体撮像装置の製造方法は、第1導電型の半導体基板上に絶縁分離層を形成し、前記絶縁分離層に取り囲まれた第1及び第2素子領域を形成する工程と、イオン注入法により前記半導

(5)

7

体基板内に第1導電型の不純物を注入し、少なくとも前記絶縁分離層の直下及び前記第2素子領域内の全体に、パンチスルーを防止するための第1導電型のパンチスルー防止領域を形成する工程と、前記第1素子領域内に、光電変換素子及び前記光電変換素子により生成された電荷を読み出すための第1MOSトランジスタを形成すると共に、前記第2素子領域内に、第2MOSトランジスタを形成する工程とを備える。

【0036】前記不純物は、前記絶縁分離層を突き抜けるような加速エネルギー及びドーズ量で、前記半導体基板内に注入される。

【0037】前記不純物は、前記第2MOSトランジスタの閾値を決定するチャネルイオン注入時のマスクをそのまま使用して、前記半導体基板内に注入される。

【0038】前記不純物は、前記第1素子領域上の一部を覆うレジスト層をマスクとして、前記半導体基板内に注入される。

【0039】前記レジスト層は、少なくとも前記絶縁分離層から一定幅だけ前記第1素子領域に入り込んだ位置よりも内側の領域であって、前記光電変換素子の第2導電型の信号蓄積領域上に形成される。

【0040】前記不純物は、前記第1素子領域内の一部にも注入される。

【0041】

【発明の実施の形態】以下、図面を参照しながら、本発明のMOS型固体撮像装置及びその製造方法について詳細に説明する。

【0042】〔第1実施の形態〕図1は、本発明の第1実施の形態に関わるMOS型固体撮像装置のデバイス構造を示している。

【0043】p型半導体基板1は、低い不純物濃度、例えば、 $1 \times 10^{15} \text{ atoms/cm}^3$  を有している。半導体基板1は、フォトダイオードのアノードとなっており、例えば、半導体基板1は、接地電位に設定されている。但し、半導体基板1内にp型ウェル領域を形成し、このp型ウェル領域をフォトダイオードのアノードとしてもよい。この場合、p型ウェル領域の不純物濃度は、例えば、 $1 \times 10^{15} \text{ atoms/cm}^3$  に設定される。

【0044】半導体基板1上には、素子同士を電気的に分離する絶縁分離層10が配置される。本例では、絶縁分離層10は、例えば、LOCOS (Local Oxidation of Silicon) 法により形成されるフィールド酸化膜となっているが、これに代えて、例えば、STI (Shallow Trench Isolation) 法により形成される酸化膜を用いてもよい。

【0045】絶縁分離層10により取り囲まれた素子領域Aは、例えば、図10に示すフォトダイオード21と読み出しゲート22が形成される領域となっている。また、絶縁分離層10により取り囲まれた素子領域Bは、

8

例えば、図10に示すリセットゲート23、増幅ゲート24、選択ゲート25などの素子（フォトダイオード21及び読み出しゲート22以外の素子）が形成される領域となっている。

【0046】素子領域Aにおいて、半導体基板1の内部（表面から十分に深い位置）には、n<sup>-</sup>型信号蓄積領域2が配置される。また、本例では、n<sup>-</sup>型信号蓄積領域2は、p<sup>+</sup>型パンチスルー防止領域6内に形成されることなく、半導体基板1内に直接形成される。n<sup>-</sup>型信号蓄積領域2内には、p<sup>++</sup>型表面シールド層3が配置される。

【0047】また、素子領域Aにおいて、半導体基板1の内部（表面から十分に深い位置）であって、n<sup>-</sup>型信号蓄積領域2が配置される部分とは異なる部分に、p<sup>+</sup>型パンチスルーストップ5が配置される。p<sup>+</sup>型パンチスルーストップ5内には、n型第1半導体領域4が配置される。

【0048】n<sup>-</sup>型信号蓄積領域2とn型第1半導体領域4の間のp型読み出しチャネル領域9上には、例えば、SiO<sub>2</sub> から構成されるゲート酸化膜7を経由して、読み出しゲート電極8が配置される。読み出しゲート電極8は、例えば、n型不純物を含んだ導電性ポリシリコン膜から構成される。読み出しゲート電極8は、図10の読み出しゲート22のゲート電極である。

【0049】素子領域Bにおいて、半導体基板1の内部（表面から十分に深い位置）には、パンチスルーを防止するためのp<sup>+</sup>型パンチスルー防止領域6が配置される。p<sup>+</sup>型パンチスルー防止領域6は、素子領域Bの全体に配置されている。p<sup>+</sup>型パンチスルー防止領域6内には、n型第2半導体領域11及びn型第3半導体領域12が配置される。

【0050】n型第2半導体領域11とn型第3半導体領域12の間のp型チャネル領域13上には、例えば、SiO<sub>2</sub> から構成されるゲート酸化膜7を経由して、ゲート電極14が配置される。ゲート電極14は、例えば、n型不純物を含んだ導電性ポリシリコン膜から構成される。ゲート電極14は、例えば、図10のリセットゲート23、増幅ゲート24、選択ゲート25などのMOSトランジスタのゲート電極となる。

【0051】上述のMOS型固体撮像装置のデバイス構造の特徴は、第一に、p<sup>+</sup>型パンチスルー防止領域6がn<sup>-</sup>型信号蓄積領域2の直下に形成されていない点にある。つまり、本発明では、n<sup>-</sup>型信号蓄積領域2は、半導体基板1内に直接形成され、p<sup>+</sup>型パンチスルー防止領域6内に形成されないため、n<sup>-</sup>型信号蓄積領域2を、低い不純物濃度で、かつ、安定的に形成することができる。

【0052】具体的には、半導体基板1の不純物濃度（例えば、ボロン濃度）は、上述のように、例えば、 $1 \times 10^{15} \text{ atoms/cm}^3$  に設定され、p<sup>+</sup>型

(6)

9

パンチスルー防止領域6の不純物濃度(例えば、ボロン濃度)は、例えば、 $1 \times 10^{17} \text{ atoms/cm}^3$ に設定される。

【0053】即ち、本発明では、 $p^+$ 型パンチスルー防止領域6の不純物濃度よりも2桁も小さい不純物濃度を有する半導体基板1内に、 $n^-$ 型信号蓄積領域2を形成することになるため、 $n$ 型不純物のイオン注入によるドーズ量を低く設定でき、結果として、 $n^-$ 型信号蓄積領域2を、低い不純物濃度で、かつ、安定的に形成できるようになる。

【0054】第二に、 $p^+$ 型パンチスルー防止領域6は、絶縁分離層10の直下及び素子領域Bの全体に形成されるが、素子領域Aにおいては、 $n$ 型第1半導体領域4の直下にも、 $p^+$ 型パンチスルーストップ5が形成される。即ち、 $n$ 型第1半導体領域4は、図10に示す検出部(検出ノード)Dとなるものであり、 $n^-$ 型信号蓄積領域2のように、その不純物濃度を低く設定する必要がない。

【0055】従って、 $n$ 型第1半導体領域4の直下には、 $p^+$ 型パンチスルーストップ5を形成し、例えば、 $n$ 型第1半導体領域4と他の $n$ 型半導体領域との間で生じるパンチスルーを防止する必要がある。

【0056】なお、 $p^+$ 型パンチスルー防止領域6は、絶縁分離層10の直下に確実に形成されていることが必要である。絶縁分離層10を挟む2つの $n$ 型半導体領域の間のパンチスルーを有効に防止するためである。

【0057】このため、例えば、 $p^+$ 型パンチスルー防止領域6は、絶縁分離層10を形成した後、ゲート電極8、14を形成する前に、所定の加速エネルギー及び所定のドーズ量のイオン注入法により形成される。このときのイオン注入の条件を、不純物(例えば、ボロン)が絶縁分離層10を突き抜けるような条件に設定すると、図1に示すように、絶縁分離層10が存在しない素子領域Bにおいては、不純物は、半導体基板1の深い位置まで到達し、 $p^+$ 型パンチスルー防止領域6は、半導体基板1の表面から十分に深い位置に形成される。

【0058】なお、図1において、ゲート酸化膜7の厚さは、例えば、8nm程度に設定され、ゲート電極14のゲート長(チャネル長)は、例えば、0.4 $\mu\text{m}$ 程度に設定される。また、 $p^+$ 型表面シールド層3の不純物濃度は、例えば、 $1 \times 10^{18} \text{ atoms/cm}^3$ 程度に設定され、 $p^+$ 型パンチスルーストップ5及び $p^+$ 型パンチスルー防止領域6の不純物濃度は、例えば、共に、 $1 \times 10^{17} \text{ atoms/cm}^3$ 程度に設定される。

【0059】以上、説明したように、本発明の第1実施の形態に関わるMOS型固体撮像装置によれば、フォトダイオードの信号蓄積領域を、低不純物濃度で、かつ、安定的に形成できると共に、MOSトランジスタが微細化されても、パンチスルーを防止することもできる。

10

【0060】[第2実施の形態] 本実施の形態に関わるMOS型固体撮像装置は、 $p^+$ 型パンチスルー防止領域6に特徴を有する。

【0061】上述の第1実施の形態に関わるMOS型固体撮像装置では、読み出しゲート(素子領域AのMOSトランジスタ)のソース側にフォトダイオードを形成し、そのドレイン側に検出部(検出ノード)Dとしての $n$ 型第1半導体領域4が配置される。そして、この $n$ 型第1半導体領域4の直下に、 $p^+$ 型パンチスルーストップ5が、 $p^+$ 型パンチスルー防止領域6とは別に形成される。

【0062】しかし、 $p^+$ 型パンチスルーストップ5と $p^+$ 型パンチスルー防止領域6は、互いに同じ目的(パンチスルー防止)で、かつ、互いに同じ不純物濃度で形成される。従って、 $n$ 型第1半導体領域4の直下には、 $p^+$ 型パンチスルーストップ5ではなく、 $p^+$ 型パンチスルー防止領域6を形成してもよいことはいうまでもない。

【0063】そこで、本実施の形態では、 $n$ 型第1半導体領域4の直下にも、 $p^+$ 型パンチスルー防止領域6を形成する。その結果、本実施の形態では、 $p^+$ 型パンチスルーストップ5が不要となり、その分だけ、製造工程が簡略化されるという効果を得ることができる。

【0064】以下、本実施の形態に関わるMOS型固体撮像装置について説明する。

【0065】図2は、本発明の第2実施の形態に関わるMOS型固体撮像装置のデバイス構造を示している。

【0066】 $p$ 型半導体基板1は、低い不純物濃度、例えば、 $1 \times 10^{15} \text{ atoms/cm}^3$ を有している。半導体基板1は、フォトダイオードのアノードとなっており、例えば、半導体基板1は、接地電位に設定されている。但し、半導体基板1内に $p$ 型ウェル領域を形成し、この $p$ 型ウェル領域をフォトダイオードのアノードとしてもよい。この場合、 $p$ 型ウェル領域の不純物濃度は、例えば、 $1 \times 10^{15} \text{ atoms/cm}^3$ に設定される。

【0067】半導体基板1上には、素子同士を電気的に分離する絶縁分離層10が配置される。本例では、絶縁分離層10は、例えば、LOCOS(Local Oxidation of Silicon)法により形成されるフィールド酸化膜となっているが、これに代えて、例えば、STI(Shallow Trench Isolation)法により形成される酸化膜を用いてもよい。

【0068】絶縁分離層10により取り囲まれた素子領域Aは、例えば、図10に示すフォトダイオード21と読み出しゲート22が形成される領域となっている。また、絶縁分離層10により取り囲まれた素子領域Bは、例えば、図10に示すリセットゲート23、増幅ゲート24、選択ゲート25などの素子(フォトダイオード21及び読み出しゲート22以外の素子)が形成される領

11

域となっている。

【0069】素子領域Aにおいて、半導体基板1の内部（表面から十分に深い位置）には、 $n^-$ 型信号蓄積領域2が配置される。また、本例では、 $n^-$ 型信号蓄積領域2は、 $p^+$ 型パンチスルー防止領域6内に形成されることなく、半導体基板1内に直接形成される。 $n^-$ 型信号蓄積領域2内には、 $p^{++}$ 型表面シールド層3が配置される。

【0070】また、素子領域Aにおいて、半導体基板1の内部（表面から十分に深い位置）であって、 $n^-$ 型信号蓄積領域2が配置される部分とは異なる部分に、 $p^+$ 型パンチスルー防止領域6が配置される。 $p^+$ 型パンチスルー防止領域6内には、 $n$ 型第1半導体領域4が配置される。

【0071】 $n^-$ 型信号蓄積領域2と $n$ 型第1半導体領域4の間の $p$ 型読み出しチャンネル領域9上には、例えば、 $SiO_2$ から構成されるゲート酸化膜7を経由して、読み出しゲート電極8が配置される。読み出しゲート電極8は、例えば、 $n$ 型不純物を含んだ導電性ポリシリコン膜から構成される。読み出しゲート電極8は、図10の読み出しゲート22のゲート電極である。

【0072】素子領域Bにおいて、半導体基板1の内部（表面から十分に深い位置）には、パンチスルーを防止するための $p^+$ 型パンチスルー防止領域6が配置される。 $p^+$ 型パンチスルー防止領域6は、素子領域Bの全体に配置されている。 $p^+$ 型パンチスルー防止領域6内には、 $n$ 型第2半導体領域11及び $n$ 型第3半導体領域12が配置される。

【0073】 $n$ 型第2半導体領域11と $n$ 型第3半導体領域12の間の $p$ 型チャンネル領域13上には、例えば、 $SiO_2$ から構成されるゲート酸化膜7を経由して、ゲート電極14が配置される。ゲート電極14は、例えば、 $n$ 型不純物を含んだ導電性ポリシリコン膜から構成される。ゲート電極14は、例えば、図10のリセットゲート23、増幅ゲート24、選択ゲート25などのMOSトランジスタのゲート電極となる。

【0074】上述のMOS型固体撮像装置のデバイス構造においても、上述の第1実施の形態に関わるMOS型固体撮像装置と同様に、 $p^+$ 型パンチスルー防止領域6が $n^-$ 型信号蓄積領域2の直下に形成されていない。つまり、本発明では、 $n^-$ 型信号蓄積領域2は、半導体基板1内に直接形成され、 $p^+$ 型パンチスルー防止領域6内に形成されないため、 $n^-$ 型信号蓄積領域2を、低い不純物濃度で、かつ、安定的に形成することができる。

【0075】具体的には、半導体基板1の不純物濃度（例えば、ボロン濃度）は、上述のように、例えば、 $1 \times 10^{15} \text{ atoms/cm}^3$ に設定され、 $p^+$ 型パンチスルー防止領域6の不純物濃度（例えば、ボロン濃度）は、例えば、 $1 \times 10^{17} \text{ atoms/cm}^3$

(7)

12

に設定される。

【0076】即ち、本発明では、 $p^+$ 型パンチスルー防止領域6の不純物濃度よりも2桁も小さい不純物濃度を有する半導体基板1内に、 $n^-$ 型信号蓄積領域2を形成することになるため、 $n$ 型不純物のイオン注入によるドーズ量を低く設定でき、結果として、 $n^-$ 型信号蓄積領域2を、低い不純物濃度で、かつ、安定的に形成できるようになる。

【0077】なお、 $p^+$ 型パンチスルー防止領域6は、絶縁分離層10の直下に確実に形成されていることが必要である。絶縁分離層10を挟む2つの $n$ 型半導体領域の間のパンチスルーを有効に防止するためである。

【0078】このため、例えば、 $p^+$ 型パンチスルー防止領域6は、絶縁分離層10を形成した後、ゲート電極8、14を形成する前に、所定の加速エネルギー及び所定のドーズ量のイオン注入法により形成される。このときのイオン注入の条件を、不純物（例えば、ボロン）が絶縁分離層10を突き抜けるような条件に設定すると、図2に示すように、絶縁分離層10が存在しない素子領域においては、不純物は、半導体基板1の深い位置まで到達し、 $p^+$ 型パンチスルー防止領域6は、半導体基板1の表面から十分に深い位置に形成される。

【0079】なお、図2において、ゲート酸化膜7の厚さは、例えば、8nm程度に設定され、ゲート電極14のゲート長（チャンネル長）は、例えば、 $0.4 \mu\text{m}$ 程度に設定される。また、 $p^{++}$ 型表面シールド層3の不純物濃度は、例えば、 $1 \times 10^{18} \text{ atoms/cm}^3$ 程度に設定され、 $p^+$ 型パンチスルーストップ5及び $p^+$ 型パンチスルー防止領域6の不純物濃度は、例えば、共に、 $1 \times 10^{17} \text{ atoms/cm}^3$ 程度に設定される。

【0080】以上、説明したように、本発明の第2実施の形態に関わるMOS型固体撮像装置によれば、フォトダイオードの信号蓄積領域を、低不純物濃度で、かつ、安定的に形成できると共に、MOSトランジスタが微細化されても、パンチスルーを防止することもできる。

【0081】【第3実施の形態】本実施の形態に関わるMOS型固体撮像装置も、 $p^+$ 型パンチスルー防止領域6に特徴を有する。

【0082】上述の第2実施の形態に関わるMOS型固体撮像装置では、読み出しゲート（素子領域AのMOSトランジスタ）のドレイン側の $n$ 型第1半導体領域4の直下にも、 $p^+$ 型パンチスルー防止領域6が形成される。

【0083】これに対し、本実施の形態では、 $p^+$ 型パンチスルー防止領域6は、素子領域Aにおいて、 $n$ 型第1半導体領域4の直下だけでなく、読み出しゲート（MOSトランジスタ）の読み出しゲート電極8直下のチャンネルの一部を覆うように形成される。

【0084】このように、 $p^+$ 型パンチスルー防止領

(8)

13

域6を、n型第1半導体領域4の直下及び読み出しゲートのチャネルの一部に形成することは、イオン注入時のマスクパターンを変形するだけで容易に実現できる。

【0085】以下、本実施の形態に関わるMOS型固体撮像装置について説明する。

【0086】図3は、本発明の第3実施の形態に関わるMOS型固体撮像装置のデバイス構造を示している。

【0087】p型半導体基板1は、低い不純物濃度、例えば、 $1 \times 10^{15} \text{ atoms/cm}^3$  を有している。半導体基板1は、フォトダイオードのアノードとなっており、例えば、半導体基板1は、接地電位に設定されている。但し、半導体基板1内にp型ウェル領域を形成し、このp型ウェル領域をフォトダイオードのアノードとしてもよい。この場合、p型ウェル領域の不純物濃度は、例えば、 $1 \times 10^{15} \text{ atoms/cm}^3$  に設定される。

【0088】半導体基板1上には、素子同士を電氣的に分離する絶縁分離層10が配置される。本例では、絶縁分離層10は、例えば、LOCOS (Local Oxidation of Silicon) 法により形成されるフィールド酸化膜となっているが、これに代えて、例えば、STI (Shallow Trench Isolation) 法により形成される酸化膜を用いてもよい。

【0089】絶縁分離層10により取り囲まれた素子領域Aは、例えば、図10に示すフォトダイオード21と読み出しゲート22が形成される領域となっている。また、絶縁分離層10により取り囲まれた素子領域Bは、例えば、図10に示すリセットゲート23、増幅ゲート24、選択ゲート25などの素子（フォトダイオード21及び読み出しゲート22以外の素子）が形成される領域となっている。

【0090】素子領域Aにおいて、半導体基板1の内部（表面から十分に深い位置）には、n<sup>-</sup>型信号蓄積領域2が配置される。また、本例では、n<sup>-</sup>型信号蓄積領域2は、p<sup>+</sup>型パンチスルー防止領域6内に形成されることなく、半導体基板1内に直接形成される。n<sup>-</sup>型信号蓄積領域2内には、p<sup>++</sup>型表面シールド層3が配置される。

【0091】また、素子領域Aにおいて、半導体基板1の内部（表面から十分に深い位置）であって、n<sup>-</sup>型信号蓄積領域2が配置される部分とは異なる部分（読み出しゲートの読み出しチャネル領域9の一部を含む）に、p<sup>+</sup>型パンチスルー防止領域6が配置される。p<sup>+</sup>型パンチスルー防止領域6内には、n型第1半導体領域4が配置される。

【0092】n<sup>-</sup>型信号蓄積領域2とn型第1半導体領域4の間のp型読み出しチャネル領域9上には、例えば、SiO<sub>2</sub> から構成されるゲート酸化膜7を経由して、読み出しゲート電極8が配置される。読み出しゲート電極8は、例えば、n型不純物を含んだ導電性ポリシ

14

リコン膜から構成される。読み出しゲート電極8は、図10の読み出しゲート22のゲート電極である。

【0093】素子領域Bにおいて、半導体基板1の内部（表面から十分に深い位置）には、パンチスルーを防止するためのp<sup>+</sup>型パンチスルー防止領域6が配置される。p<sup>+</sup>型パンチスルー防止領域6は、素子領域Bの全体に配置されている。p<sup>+</sup>型パンチスルー防止領域6内には、n型第2半導体領域11及びn型第3半導体領域12が配置される。

【0094】n型第2半導体領域11とn型第3半導体領域12の間のp型チャネル領域13上には、例えば、SiO<sub>2</sub> から構成されるゲート酸化膜7を経由して、ゲート電極14が配置される。ゲート電極14は、例えば、n型不純物を含んだ導電性ポリシリコン膜から構成される。ゲート電極14は、例えば、図10のリセットゲート23、増幅ゲート24、選択ゲート25などのMOSトランジスタのゲート電極となる。

【0095】上述のMOS型固体撮像装置のデバイス構造においても、上述の第1及び第2実施の形態に関わるMOS型固体撮像装置と同様に、p<sup>+</sup>型パンチスルー防止領域6がn<sup>-</sup>型信号蓄積領域2の直下に形成されていない。つまり、本発明では、n<sup>-</sup>型信号蓄積領域2は、半導体基板1内に直接形成され、p<sup>+</sup>型パンチスルー防止領域6内に形成されないため、n<sup>-</sup>型信号蓄積領域2を、低い不純物濃度で、かつ、安定的に形成することができる。

【0096】具体的には、半導体基板1の不純物濃度（例えば、ボロン濃度）は、上述のように、例えば、 $1 \times 10^{15} \text{ atoms/cm}^3$  に設定され、p<sup>+</sup>型パンチスルー防止領域6の不純物濃度（例えば、ボロン濃度）は、例えば、 $1 \times 10^{17} \text{ atoms/cm}^3$  に設定される。

【0097】即ち、本発明では、p<sup>+</sup>型パンチスルー防止領域6の不純物濃度よりも2桁も小さい不純物濃度を有する半導体基板1内に、n<sup>-</sup>型信号蓄積領域2を形成することになるため、n型不純物のイオン注入によるドーズ量を低く設定でき、結果として、n<sup>-</sup>型信号蓄積領域2を、低い不純物濃度で、かつ、安定的に形成できるようになる。

【0098】なお、p<sup>+</sup>型パンチスルー防止領域6は、絶縁分離層10の直下に確実に形成されていることが必要である。絶縁分離層10を挟む2つのn型半導体領域の間のパンチスルーを有効に防止するためである。

【0099】このため、例えば、p<sup>+</sup>型パンチスルー防止領域6は、絶縁分離層10を形成した後、ゲート電極8、14を形成する前に、所定の加速エネルギー及び所定のドーズ量のイオン注入法により形成される。このときのイオン注入の条件を、不純物（例えば、ボロン）が絶縁分離層10を突き抜けるような条件に設定すると、図3に示すように、絶縁分離層10が存在しない素



(9)

15

子領域においては、不純物は、半導体基板1の深い位置まで到達し、 $p^+$ 型パンチスルー防止領域6は、半導体基板1の表面から十分に深い位置に形成される。

【0100】なお、図3において、ゲート酸化膜7の厚さは、例えば、8nm程度に設定され、ゲート電極14のゲート長（チャンネル長）は、例えば、 $0.4\mu m$ 程度に設定される。また、 $p^+$ 型表面シールド層3の不純物濃度は、例えば、 $1 \times 10^{18} \text{ atoms/cm}^3$ 程度に設定され、 $p^+$ 型パンチスルーストップ5及び $p^+$ 型パンチスルー防止領域6の不純物濃度は、例えば、共に、 $1 \times 10^{17} \text{ atoms/cm}^3$ 程度に設定される。

【0101】以上、説明したように、本発明の第3実施の形態に関わるMOS型固体撮像装置によれば、フォトダイオードの信号蓄積領域を、低不純物濃度で、かつ、安定的に形成できると共に、MOSトランジスタが微細化されても、パンチスルーを防止することもできる。

【0102】〔製造方法の説明〕次に、本発明のMOS型固体撮像装置の製造方法について説明する。なお、以下の説明は、上述の第1乃至第3実施の形態に関わるMOS型固体撮像装置の全ての製造方法に適用可能なものである。各実施の形態に独自のステップについては、その都度、説明することにする。

【0103】まず、図4に示すように、LOCOS法により、 $p$ 型半導体基板1上に、絶縁分離層10を形成する。この後、熱酸化により、絶縁分離層10に取り囲まれた素子領域A、B上に、バッファ酸化膜15を形成する。

【0104】次に、図5に示すように、素子領域Aに対して、MOSトランジスタの閾値を決定するためのいわゆるチャンネルイオン注入を行い、 $p$ 型読み出しチャンネル領域9を形成する。同様に、素子領域Bに対して、MOSトランジスタの閾値を決定するためのいわゆるチャンネルイオン注入を行い、 $p$ 型チャンネル領域13を形成する。

【0105】本例では、両チャンネル領域9、13は、2回のイオン注入工程により形成される。この場合、両チャンネル領域9、13を形成するために、2回のPEP（Photo Engraving Process）が必要になる。しかし、素子領域A、Bに形成されるMOSトランジスタの閾値を互いに同じに設定する場合には、両チャンネル領域9、13は、1回のイオン注入工程により形成できる。この場合、両チャンネル領域9、13を形成するためのPEPは、1回でよい。

【0106】この後、レジスト層16を形成し、PEPにより、素子領域A上に、マスクとしてのレジストパターン（レジスト層16）を残存させる。

【0107】なお、この時点において、レジスト層16を素子領域Aの全体を覆うようにすると、上述の第1実施の形態に関わるデバイスの製造方法となる。また、素

16

子領域A上の一部にレジスト層16が配置されないようにすれば、上述の第2及び第3実施の形態に関わるデバイスの製造方法となる。

【0108】そして、イオン注入法により、レジスト層16をマスクにして、 $p$ 型不純物（例えば、ボロン）をイオン注入すれば、半導体基板1の内部には、 $p^+$ 型パンチスルー防止領域6が形成される。

【0109】この時、 $p^+$ 型パンチスルー防止領域6が、例えば、半導体基板1の表面から $0.2 \sim 0.4\mu m$ の位置に形成されるように、イオン注入時の加速エネルギーが設定される。但し、この条件は、当然に、絶縁分離層10の直下にも $p^+$ 型パンチスルー防止領域6が形成されるようなものでなければならない。

【0110】また、 $p^+$ 型パンチスルー防止領域6の不純物濃度が、例えば、 $1 \times 10^{17} \text{ atoms/cm}^3$ 程度となるように、イオン注入時のドーズ量が設定される。本例では、 $p^+$ 型パンチスルー防止領域6を形成するためのイオン注入は、1回であることを前提としているが、2回以上のイオン注入により $p^+$ 型パンチスルー防止領域6を形成するようにしてもよい。

【0111】ここで、実際の製品に対応し得る微妙な条件について説明する。即ち、 $p^+$ 型パンチスルー防止領域6を形成するに当たって、実際は、レジスト層16は、素子領域Aのサイズよりも一回り小さなサイズに設定される。その理由は、 $p^+$ 型パンチスルー防止領域6が素子領域Aの周辺において素子領域Aに少しだけ入り込むようにすれば、絶縁分離層10に形成されるダメージにフォトダイオードの空乏層が達することを防止できるからである。

【0112】なお、 $p^+$ 型パンチスルー防止領域6が素子領域Aに入り込む幅Xは、マスク（レジスト層16）の合わせずれを考慮し、その合わせずれ以上に設定することが好ましい。例えば、その幅Xは、 $0.2\mu m$ 程度又はそれ以上の値に設定される。

【0113】この後、素子領域B上のバッファ酸化膜15を除去し、さらに、熱酸化法により、素子領域B上に、 $10nm$ 以下の厚さ、例えば、8nm程度のゲート酸化膜7を形成する。この後、素子領域A上のレジスト層16を除去し、さらに、素子領域A上のバッファ酸化膜15を除去する。

【0114】次に、図6に示すように、熱酸化法により、素子領域A上に、 $10nm$ 以下の厚さ、例えば、8nm程度のゲート酸化膜7を形成する。

【0115】なお、本例では、素子領域Aのゲート酸化膜7と素子領域Bのゲート酸化膜7を異なるステップにより形成したが、当然に、同一のステップにより形成してもよい。この場合、図5のレジスト層16を除去した後、素子領域A、B上のバッファ酸化膜15が同時に除去され、かつ、素子領域A、B上に、同時にゲート酸化膜7が形成される。

(10)

17

【0116】この後、不純物を含んだ導電性ポリシリコン膜の形成、レジスト層の形成、PEP、RIEというステップを経由すると、素子領域Aのゲート酸化膜7上には、読み出しゲート電極8が形成され、素子領域Bのゲート酸化膜7上には、ゲート電極14が形成される。

【0117】また、酸化膜（又は窒化膜）の形成、RIEというステップを経由すると、ゲート電極8、14の側壁には、いわゆるサイドウォール（スペーサ）が形成される。

【0118】この後、上述の第1実施の形態に関わるデバイスの製造方法に関しては、図6に示すように、レジスト層の塗布及びPEPにより、素子領域A上の一部に開口を有するレジストパターン（レジスト層17）を形成する。そして、イオン注入法により、レジスト層17をマスクにして、半導体基板1内にp型不純物（例えば、ボロン）を注入し、p<sup>+</sup>型パンチスルーストップ5を形成する。この後、レジスト層17は、除去される。

【0119】なお、上述の第2及び第3実施の形態に関わるデバイスの製造方法に関しては、当然に、p<sup>+</sup>型パンチスルーストップ5を形成するステップについては、不要である。

【0120】次に、図7に示すように、レジスト層の塗布及びPEPにより、素子領域A上のフォトダイオードを形成する領域に開口を有するレジストパターン（レジスト層18）を形成する。そして、イオン注入法により、レジスト層18及びサイドウォールをマスクにして、半導体基板1内にp型不純物（例えば、BF<sub>2</sub>）を注入し、p<sup>++</sup>型表面シールド層3を形成する。この後、レジスト層18を除去する。

【0121】次に、図8に示すように、ゲート電極8、14の側壁に存在するサイドウォールを除去する。そして、再び、レジスト層の塗布及びPEPにより、素子領域A上のフォトダイオードを形成する領域に開口を有するレジストパターン（レジスト層18'）を形成する。この後、イオン注入法により、レジスト層18'をマスクにして、半導体基板1内にn型不純物（例えば、リン）を注入し、n<sup>-</sup>型信号蓄積領域2を形成する。

【0122】この後、レジスト層18'は、除去される。

【0123】最後に、図9に示すように、レジスト層の塗布及びPEPにより、素子領域A上の一部及び素子領域B上に開口を有するレジストパターン（レジスト層19）を形成する。この後、イオン注入法により、レジスト層19及びゲート電極9、14をマスクにして、半導体基板1内にn型不純物（例えば、リン）を注入し、n型第1乃至第3半導体領域4、11、12を形成する。

【0124】この後、レジスト層19は、除去される。

【0125】なお、この後、配線工程やパッシベーション工程などが行われるが、それについては、省略する。

18

【0126】以上より、本発明に関わるMOS型固体撮像装置が完成する。

【0127】【その他】上述の第1実施の形態に関わるMOS型固体撮像装置において、p<sup>+</sup>型パンチスルーストップ5は、省略しても構わない。この場合、p<sup>+</sup>型パンチスルーストップ5を形成するステップ（製造方法の説明を参照）が省略され、製造コストの低減に貢献できる。また、第2及び第3実施の形態に関わるMOS型固体撮像装置によらずとも、p<sup>+</sup>型パンチスルー防止領域6を素子領域Aに一定幅Xだけ入り込ませれば（図5参照）、素子領域AのMOSトランジスタにおいても、パンチスルー防止の効果は、十分に得ることができる。

【0128】上述の第1乃至第3実施の形態に関わるMOS型固体撮像装置において、p<sup>+</sup>型パンチスルー防止領域6は、MOSトランジスタの閾値を決定するためのイオン注入時に用いるマスクをそのまま用いて、p型不純物のイオン注入により形成してもよい。この変形例は、素子領域A内の読み出しゲート（MOSトランジスタ）のチャネル部に対して、チャネルイオン注入を行わない場合に適用されるものである。

【0129】上述の第1乃至第3実施の形態に関わるMOS型固体撮像装置においては、p型半導体基板内にnチャネルMOSトランジスタを形成した例であったが、例えば、本発明は、n型半導体基板内にpチャネルMOSトランジスタを形成する場合にも適用可能である。

【0130】

【発明の効果】以上、説明したように、本発明のMOS型固体撮像装置及びその製造方法によれば、フォトダイオードの信号蓄積領域直下には、p<sup>+</sup>型パンチスルー防止領域が形成されていない。一方、p<sup>+</sup>型パンチスルー防止領域は、ソースがフォトダイオードの信号蓄積領域となる読み出しゲート（MOSトランジスタ）が形成される素子領域に少なくとも一定幅だけ入り込み、かつ、その素子領域以外の素子領域の全体に形成される。

【0131】従って、MOSトランジスタのゲート長が短くなり、そのゲート酸化膜の厚さが薄くなった場合においても、MOSトランジスタのパンチスルーと素子間（絶縁分離層を挟む2つの素子の間）のパンチスルーを共に防止することが可能となる。また、フォトダイオードの信号蓄積領域を、p<sup>+</sup>型パンチスルー防止領域の導電型を反転させて形成する必要がないため、単一面素に形成されるフォトダイオードの空乏化電位を低く、かつ、安定させることができる。

【図面の簡単な説明】

【図1】本発明の第1実施の形態に関わるMOS型固体撮像装置を示す断面図。

【図2】本発明の第2実施の形態に関わるMOS型固体撮像装置を示す断面図。

【図3】本発明の第3実施の形態に関わるMOS型固体

(11)

19

撮像装置を示す断面図。

【図4】本発明に関わるMOS型固体撮像装置の製造方法の一工程を示す断面図。

【図5】本発明に関わるMOS型固体撮像装置の製造方法の一工程を示す断面図。

【図6】本発明に関わるMOS型固体撮像装置の製造方法の一工程を示す断面図。

【図7】本発明に関わるMOS型固体撮像装置の製造方法の一工程を示す断面図。

【図8】本発明に関わるMOS型固体撮像装置の製造方法の一工程を示す断面図。

【図9】本発明に関わるMOS型固体撮像装置の製造方法の一工程を示す断面図。

【図10】MOS型固体撮像装置の画素を示す回路図。

【符号の説明】

- 1 : p型半導体基板、  
 2 : n型信号蓄積領域、  
 3 : p++型表面シールド層、  
 4 : n型第1半導体領域、  
 5 : p+型パンチスルーストップ、  
 6 : p+型パンチスルー

一防止領域、

7

8

極、

9

ル領域、

10

11

域、

12

域、

13

域、

14

15

16, 17, 18, 18', 19

21

22

23

20

24

25

26

27

28

: ゲート酸化膜、

: 読み出しゲート電

: p型読み出しチャネ

: 絶縁分離層、

: n型第2半導体領

: n型第3半導体領

: p型チャネル領

: ゲート電極、

: バッファ酸化膜、

: レジスト層、

: フォトダイオード、

: 読み出しゲート、

: リセットゲート、

: 増幅ゲート、

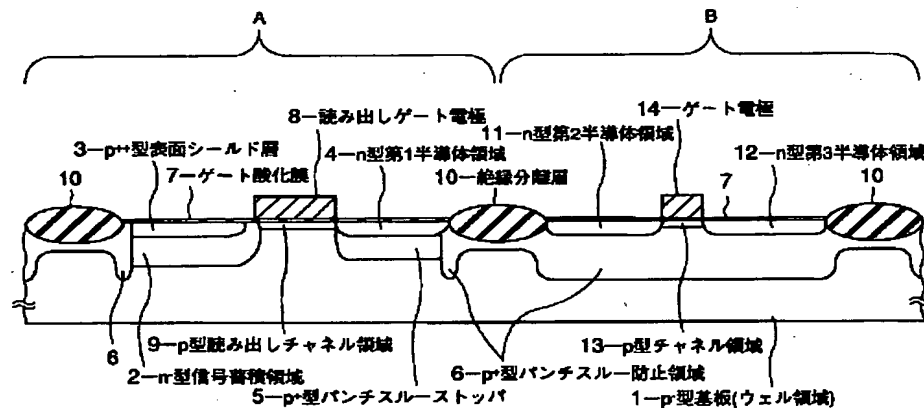
: 選択ゲート、

: 垂直走査回路、

: 水平走査回路、

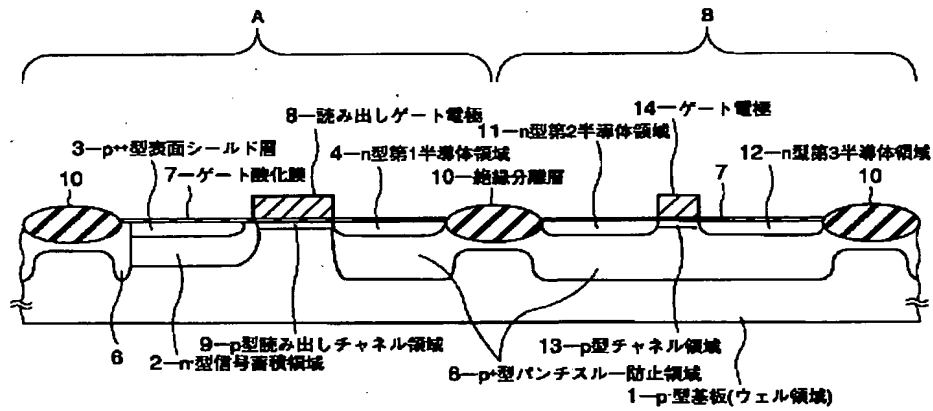
: 負荷ゲート。

【図1】

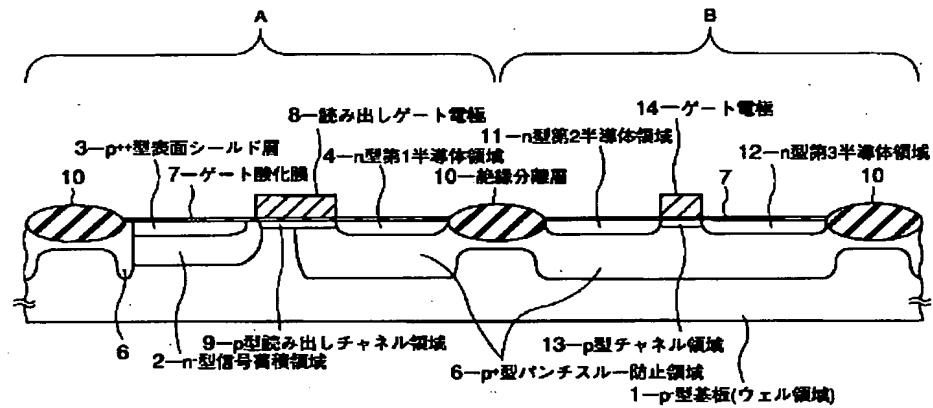


(12)

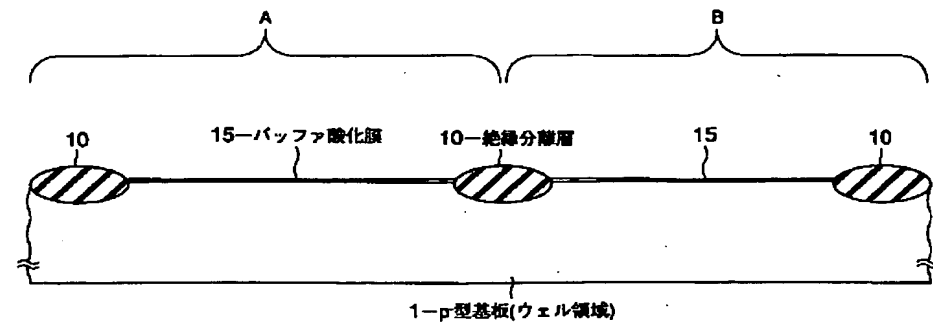
【図2】



【図3】

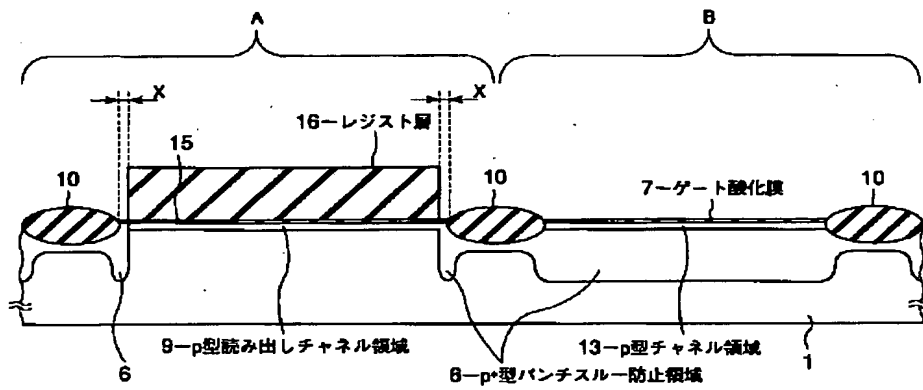


【図4】

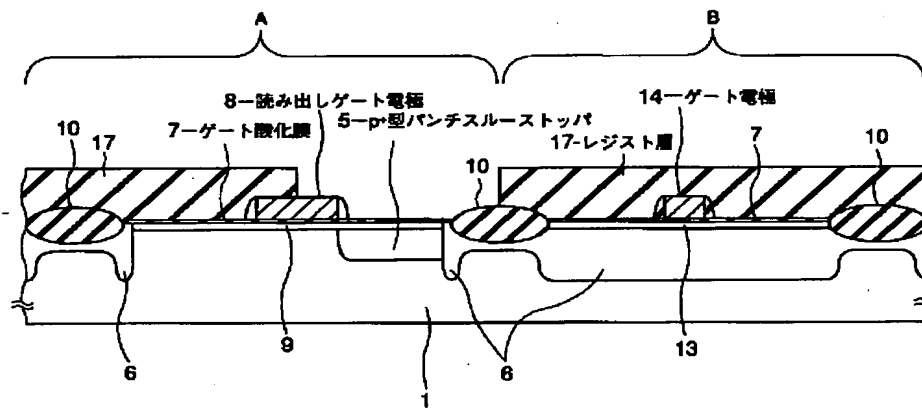


(13)

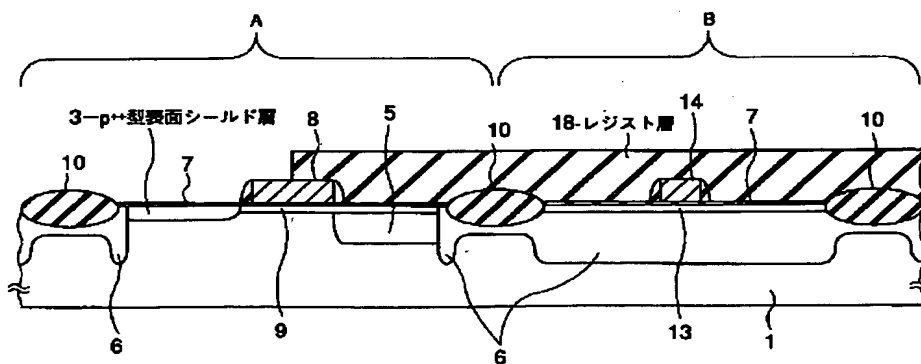
【図5】



【図6】

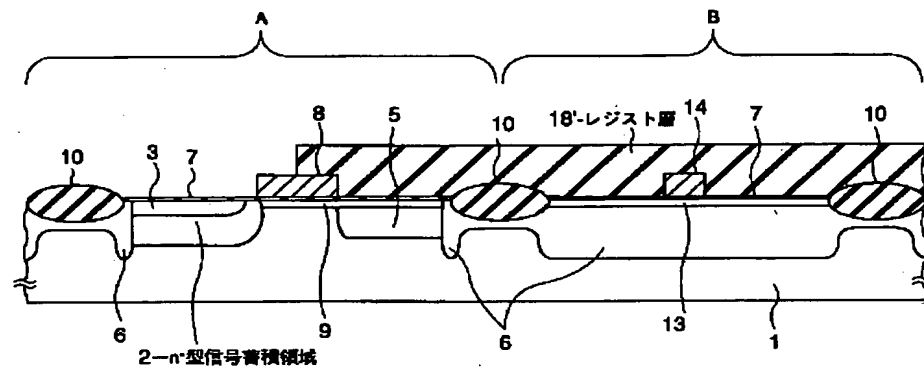


【図7】

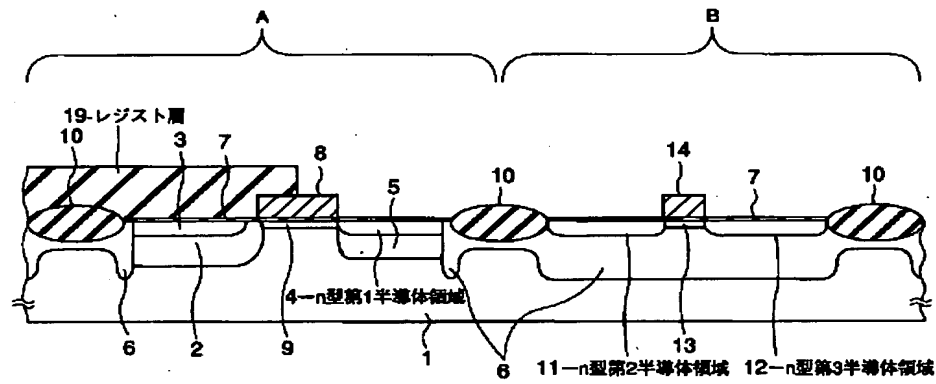


(14)

【図8】



【図9】



【図 10】

